科目名	集積回路設計	英語科目名	Integrated Circuits Design
開講年度・学期	平成 28 年度　後期	対象学科・専攻・学年	電気情報工学科 5 年
授業形態	講義	必修 or 選択	選択
単位数	2 単位	単位種類	学修単位(講義A)
担当教員	今成一雄	居室（もしくは所属）	電電・物質棟 2 階
電話	内線 232	E-mail	imanari@小山高専ドメイン

授業の到達目標	授業到達目標との対応		
	小山高専の教育方針	学習・教育到達目標(JABEE)	JABEE 基準
1. Verilog HDL の文法を説明できる。	④	A	d-1, g
2. Verilog HDL で記述された回路の動作(記述内容)を説明できる。	④	A	d-1, g
3. Verilog HDL で論理回路や CPU を設計できる。	④	A	d-1, g

各到達目標に対する達成度の具体的な評価方法

到達目標1、2:中間試験において 60 % 以上の成績で達成とする。
到達目標3　:期末演習課題において 60 % 以上の成績で達成とする。

評価方法

中間試験 35%、期末演習課題 35%、自学自習課題 30% として評価する。

授業内容	授業内容に対する自学自習項目	自学自習時間
1. ガイダンス ディジタル回路設計事始め	レジメを要約して、報告書にまとめ、次回までに提出する。	4
2. Verilog-HDL 基本文法1	レジメを要約して、報告書にまとめ、次回までに提出する。	4
3. Verilog-HDL 基本文法2 シミュレータの取扱い	レジメを要約して、報告書にまとめ、次回までに提出する。	4
4. 回路記述 組合せ回路編1	授業で説明された記述をシミュレーション実習、動作を確認し、その結果を報告書にまとめて次回授業の開始前までに提出する。	4
5. 回路記述 組合せ回路編2	授業で説明された記述をシミュレーション実習、動作を確認し、その結果を報告書にまとめて次回授業の開始前までに提出する。	4
6. 回路記述 組合せ回路編3	授業で説明された記述をシミュレーション実習、動作を確認し、その結果を報告書にまとめて次回授業の開始前までに提出する。	4
7. 回路記述 順序回路編1	授業で説明された記述をシミュレーション実習、動作を確認し、その結果を報告書にまとめて次回授業の開始前までに提出する。	4
8. 中間試験	試験勉強に代える	4
9. 中間試験　解答と解説 回路記述　順序回路編2	授業で説明された記述をシミュレーション実習、動作を確認し、その結果を報告書にまとめて次回授業の開始前までに提出する。	4
10. 回路記述 順序回路編3	授業で説明された記述をシミュレーション実習、動作を確認し、その結果を報告書にまとめて次回授業の開始前までに提出する。	4
11. 回路記述 応用・実用編1	授業で説明された記述をシミュレーション実習、動作を確認し、その結果を報告書にまとめて次回授業の開始前までに提出する。	4
12. 回路記述 応用・実用編2	授業で説明された記述をシミュレーション実習、動作を確認し、その結果を報告書にまとめて次回授業の開始前までに提出する。	4
13. ～15. 回路記述 CPU (課題説明と質疑応答・演習)	授業では、課題に関する質疑応答と演習を行う。授業時間・自宅学習時間を課題の解答作成に充てる。結果は報告書にまとめて期限までに提出する。	12
	自学自習時間合計	60

キーワード	HDL、VHDL、Verilog-HDL、論理合成
教科書	小林　優「Design Wave Basic 改訂　入門 Verilog HDL 記述」CQ 出版(2004).
参考書	森岡澄夫「Design Wave Book HDL による高性能ディジタル回路設計」CQ 出版(2004).

カリキュラム中の位置づけ

前年度までの関連科目	コンピュータ工学、情報工学Ⅲ・Ⅳ
現学年の関連科目	ディジタル回路、卒業研究
次年度以降の関連科目	なし

連絡事項

授業内容は、前期開講の ディジタル回路 を履修・修得している前提で構成されている。C 言語の基本的な知識とプログラミング能力を有していることが求められる。理解困難な点は随時学習相談に応じる。電子メールでも受け付ける。

シラバス作成年月日	平成 28 年 1 月 18 日作成